

基于 SOI-0.18 μm 高 PAE CMOS Class-E 功率放大器

郑 岩^{1,2,3}, 李志强^{1,2}, 刘 昱^{1,2}, 黄水龙^{1,2}, 张海英^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 新一代通信射频芯片技术北京市重点实验室,
北京 100029; 3 中国科学院大学, 北京 100049)

摘 要: 基于 IBM SOI-0.18 μm CMOS 工艺, 实现了高 PAE 的 Class-E 功率放大器. 此放大器由两级构成. 在输出级采用了负电容技术, 抵消寄生电容, 提高效率. 输出级的共栅管采用自偏置, 防止晶体管被击穿. 驱动级采用 Class-E 结构, 使得输出级能更好地实现开与关. 两级之间使用了改善输出级电压和电流交叠的网络. 通过使用这些技术, 在 2.8 V 电源电压下, 功率放大器工作在 2.4 GHz 的时候, 输出功率为 23.44 dBm, PAE 为 58.99%.

关键词: PAE; Class-E 功率放大器; 输出级; 驱动级

中图分类号: TN722

文献标识码: A

文章编号: 1000-7180(2017)02-0063-05

A High PAE Class-E Power Amplifier Based on SOI-0.18 μm Process

ZHENG Yan^{1,2,3}, LI Zhi-qiang^{1,2}, LIU Yu^{1,2},
HUANG Shui-long^{1,2}, ZHANG Hai-ying^{1,2}

(1 Institute of Micro-Electronics of the Chinese Academy of Sciences, Beijing 100029, China;
2 Beijing Key Laboratory of Radio Frequency IC Technology for Next Generation Communications,
Beijing 100029, China; 3 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Based on IBM SOI-0.18 μm CMOS process, a high PAE Class-E power amplifier is proposed. This power amplifier is composed of two stages. A negative capacitance is used at output stage in order to offset parasitic capacitance and improve efficiency. The common-gate transistor of output stage adopts self-biased technique which prevents the transistor from being broken down. Driver stage consists of Class-E, which turns the transistor of output stage on and off more efficiently. The network is used to improve overlap of current and voltage of output stage. By employing these techniques, the power amplifier can deliver 23.44 dBm output power at 2.4 GHz with 58.99% power added efficiency at 2.8-v supply.

Key words: PAE; Class-E power amplifier; output stage; driver stage

1 引言

当前, 无线通信系统需要低成本、高效率、高集成度、高可靠性的设备. 导致无线收发机需要集成更多的模块到单个芯片上, 以便降低成本. 在收发芯片当中, 功放发射机链路中处理信号的最后一个模块. 功放消耗了最大的直流功耗, 收发机的整体性能取决于功放的效率. 因此, 很有必要将高效率的功放

引用到射频应用中. 功放一般可以分为线性功放和非线性功放, 而且功放的线性度和效率是相互制约的. 在设计功放时, 要在二者之间进行折中^[1]. 在开关功放当中, Class-E 功放是最受欢迎的, 其电路简单, 有非常好的 PAE, 但是只能放大类似于 FSK 的恒包络调制信号. 本文介绍了一种基于负电容、自偏置以及谐波滤除网络技术形成的高 PAE 的 Class-E 电路结构.

收稿日期: 2016-05-07; **修回日期:** 2016-06-13

基金项目: 国家自然科学基金项目(61404166)

2 Class-E 功放的工作原理

Class-E 功放由 Skoal 等人在 1975 年被第一次提出. 单级的 Class-E 功放的电路结构如图 1 所示. 功放由单电源 V_{dd} 、射频扼流线圈 L_{ck} 、开关 M_1 、与开关并联的 C_{shunt} 、串联谐振电路 C_s, L_s 以及由 L_m, C_m 构成的匹配网络构成. 开关 M_1 在输入信号 V_{in} 的作用下, 周期性地开与关, 串联谐振网络 C_s, L_s 在输入频率谐振, 抑制其他谐波. 扼流电感 L_{ck} 阻止交流信号通过, 并给晶体管提供直流电流 I_{dc} . C_{shunt} 由两部分组成, 一部分是晶体管的寄生电容, 另一部分是实际引入的电容.

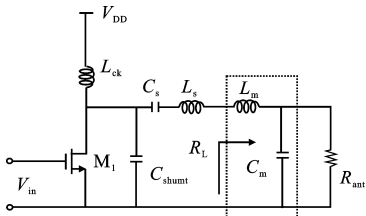


图 1 Class-E 功放电路结构

在理想的情况下, 开关导通的时候, 开关两端的电压降为零, 这使得流过开关的电压和电流没有交叠, 开关的功耗为零. 此外, 在开关导通时候, 开关两端电压的斜率也为零, 这使得电路对元器件、频率等的波动不敏感. 理想的 Class-E 的电压和电流的波形如图 2 所示.

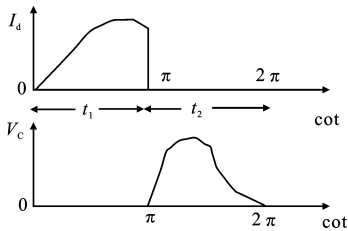


图 2 理想情况下开关 M_1 的电压和电流波形

最后, 低通匹配网络 L_m-C_m 转换 $50\ \Omega$ 到更低的 R_L . 选择合适的电源 V_{dd} , 就可以传递一定的输出功率. 假设 L_{ck} 为理想的扼流线圈 (实际中只要 $2\pi f_0 L_{ck}$ 远大于 R_L), 理想的 Class-E 的相应的元器件的表达式为^[2]

$$R_L = 0.577 \frac{V_{dd}^2}{P_{out}} \quad (1)$$

$$C_{shunt} = 0.183 \frac{1}{\omega_0 R_L} \quad (2)$$

$$L_s = R_L \frac{Q_{out}}{\omega_0} \quad (3)$$

$$C_s = \frac{1}{\omega_0^2 L_s} \left(1 + \frac{1.11}{Q_{out} - 1.7879} \right) \quad (4)$$

3 制约功放效率因素

随着工艺特征尺寸的不断缩小, 电源电压 V_{dd} 也随之降低. 低的 V_{dd} 、晶体管有限的导通电阻、电感的寄生电阻、相关节点的寄生电容、以及直流馈电电感都成为制约功放效率的因素. 下面将具体分析这些因素对功放效率的影响.

3.1 不断缩小的工艺对效率额影响

随着工艺特征尺寸的不断缩小, 电源电压 V_{dd} 也随之降低. 功放的输出功率 $P_{out} \propto V_{dd}^2 / R_L$, 当 V_{dd} 降低一半的时候, 要保持输出功率不变, 那么 R_L 要变为原来的四分之一. 输出匹配网络要将天线的输入阻抗 $50\ \Omega$ 转换为功放的最优负载 R_L . 由于输出匹配网络有限的品质因数 Q , 匹配网络的损耗 P_{LOSS} 和阻抗的转换比成正比 (阻抗的转换比为 $m = 50 / R_L$, $P_{LOSS} = [(m-1)^{0.5} / Q] \times P_{out}$. 当 V_{dd} 降低的时候, 匹配网络的损耗将变大, 那么功放的效率将降低.

随着沟道长度 L 的不断缩小, 跨导系 K 将增加, 那么开关的单位宽度电阻 r_{onp} 将变小, 然而这部分的改善被降低的电源电压 V_{dd} 所抵消. 在前文中提到, R_L 将降低, 并且 R_L 降低的速度要快于 r_{onp} , 这样随着 r_{onp} / R_L 的增加, 将导致漏极效率的降低. 漏极效率 $DE \propto 1 / [1 + 1.4(r_{onp} / R_L)]$. 增加开关的宽度 W 可以缓解这个矛盾, 如果 W 增加得太宽, 会导致寄生的电容太大, 寄生电容是包括在 C_{shunt} 当中的, 如果不满足式(2), 也会使得功放的效率降低, 所以管子的宽度 W 要适当地增加.

3.2 直流馈电电感对效率的影响

在 Class-E 中, 直流馈电电感 L 既可以是 RF 扼流线圈 L_{ck} , 也可以是感值适中的电感 L . 如果采用 RF L_{ck} 的话, 开关的漏极电压可达到 $3.57 V_{dd}$, 而 A 类, B 类, AB 类, C 类等功放的漏极的电压最高也只有 $2V_{dd}$, 在 E 类功放当中, 开关承受太高的电压, 容易被击穿. 此外, 当采用 L_{ck} 的话, 功放的效率 PAE 会降低很多. L_{ck} 的寄生电阻为 r_{ck} , $n_{ck} = 2\pi f_0 L_{ck} / R_L$, 那么由 L_{ck} 引起的功率损耗, 归一化后为

$$\frac{P_{LOSS}}{P_{OUT}} \bigg|_{r_{ck}} = \frac{P_{DC} - P_{OUT}}{P_{OUT}} \bigg|_{r_{ck}} = 0.577 \frac{n_{ck}}{Q} \quad (5)$$

为了较好地比拟 L_{ck} , 那么要求 $n_{ck} > 20$, 这将导致不可接受的功率损耗. 许多研究表明用有限的电

感 L 代替 RF L_{ck} 可以有效地提高效率. 直流馈电电感采用有限的电感 L 时^[3], R_L 就变成了电源电压 V_{dd} 、输出功率 P_{out} 、电感 L 的函数. 直流馈电电感采用 L_{ck} 的时候, R_L 仅是 V_{dd} 和 P_{out} 的函数. 这样就增加了一个自由度. 采用有限电感 L 比采用 RF L_{ck} 的 R_L 大, 这样匹配网络和直流馈电电感损耗将变小, 这也是解决工艺尺寸不断变小导致效率降低的一个方法. 此外采用有限的电感 L , 开关漏极的电压峰值不再是 $3.57V_{\text{dd}}$, 可以降低到 $2.5 \sim 2.8V_{\text{dd}}$, 可以减小管子承受的压力, 提高电路的可靠性. n_{ck} 最优值一般取 2.2 左右.

3.3 谐振网络, 匹配网络, 驱动级对效率的影响

考虑到功放当中电感的寄生电阻, 以及驱动级, 两级功放的整体电路结构如图 3 所示.

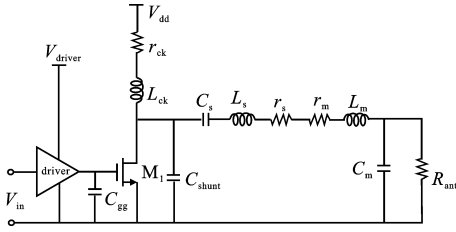


图 3 带有驱动级以及电感寄生电阻的 Class-E 功率放大器

匹配网络的损耗主要由电感 L_m 的寄生的电阻 r_m 引起, 在前文当中已经提到, 归一化的匹配网络的损耗为

$$\left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{r_m} = \frac{r_m}{R_L} = \frac{\omega_0 L_m}{QR_L} \approx \frac{1}{Q} \sqrt{\frac{R_{\text{ant}}}{R_L} - 1} \quad (6)$$

式(6)表明, 这部分的损耗主要和 R_L 相关, 而 R_L 主要由输出功率和电源电压 V_{dd} 决定. 要减小这一部分的功耗, 在输出功率一定的情况下, 使用有限的电感 L , 以及适当提高 V_{dd} , 都可以减小这一部分的损耗.

电感 L_s 的寄生电阻 r_s 引起的损耗, 归一化以后为

$$\left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{r_s} = \frac{r_s}{R_L} = \frac{\omega_0 L_s}{QR_L} = \frac{Q_{\text{OUT}}}{Q} \quad (7)$$

对于给定的电感的品质因数, 要使得这部分的损耗最小, 那么 Q_{OUT} 应最小.

C_{ddp} 表示漏极的单位宽度的电容, r_{onp} 表示开关的单位宽度的导通电阻, C_{gsp} 表示开关的栅极单位宽度的电容, 那么漏极电容为 $C_{\text{dd}} = C_{\text{ddp}}W$, 开关的导通电阻 $r_{\text{on}} = r_{\text{onp}}W$, 栅极电容为 $C_{\text{gs}} = C_{\text{gsp}}W$. 由于开关有限的导通电阻, 产生的功耗为

$$\left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{r_{\text{on}}} = 1.365 \frac{r_{\text{on}}}{R_L} = 7.46 \frac{\omega_0 r_{\text{onp}} C_{\text{ddp}}}{\alpha} \quad (8)$$

驱动级产生的功耗为

$$\left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{\text{dstage}} = 0.158 \frac{1}{\eta_{\text{driver}}} \left(\frac{V_{\text{driver}}}{V_{\text{dd}}} \right)^2 \frac{C_{\text{gsp}}}{C_{\text{ddp}}} \frac{\alpha}{Q_D} \quad (9)$$

式中, $\alpha = 1$ 表示 C_{shunt} 全部由寄生电容, $\alpha < 1$, C_{shunt} 的部分由寄生电容组成. η_{driver} 表示驱动级的效率. 式(8)和式(9), 一个 α 和成反比, 另一个 α 和成正比, 这样两者之和存在一个最小值.

$$\left(\left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{r_{\text{on}}} + \left. \frac{P_{\text{LOSS}}}{P_{\text{OUT}}} \right|_{\text{driver}} \right)_{\min} = 2.175 \frac{\frac{V_{\text{driver}}}{V_{\text{dd}}}}{\sqrt{\eta_{\text{driver}}}} \frac{\sqrt{C_{\text{gsp}} r_{\text{onp}} \omega_0}}{\sqrt{Q_D}} \quad (10)$$

式(10)表明, 高的 Q_D 、低的工作频率、高的特征频率 f_T (通过 C_{gsp} 和 r_{onp}) 可以提高效率, 此外驱动级的电压 V_{driver} 低于输出级的电压 V_{dd} , 有助于功率的提高.

3.4 寄生电容对效率的影响

共源共栅结构功放如图 4 所示, A 点存在寄生电容 C_p , 主要由 C_{gd1} , C_{db1} , C_{gs2} , C_{sb2} 构成. 在 M_1 关断的时候, M_2 工作在三极管区, 给 C_p 充电, 通过 M_2 的导通电阻 r_{on} 消耗功率. 随着 A 点电压不断升高, M_2 将工作在亚阈值区, 这时充电的电流很小, A 点的电压几乎保持不变, 但是 V_{ds2} 很大, 此时消耗功率就很大. 随后, C_p 又通过 M_2 放电, M_2 将工作在三极管区^[4]. 减小寄生电容的影响, 可以引入负电容.

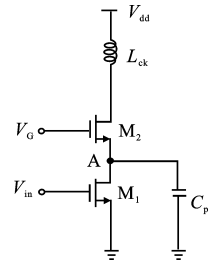


图 4 共源共栅结构

4 高效率 Class-E 功放的设计

本文提出的 Class-E 功放如图 5 所示, 由驱动级和输出级两级构成. M_1, M_2 构成输出级, 因为 Class-E 功放的峰值电压在理想的情况下, 可以高达 $3.57V_{\text{dd}}$, 当采用有限的电感 L 以后, 峰值电压依然高达 $2.5 \sim 2.8V_{\text{dd}}$, 故采用的是共源共栅结构. 在传统设计当中, 共栅管有恒定的直流栅电压, 在射频的时候栅极是交流地. 在大信号作用的时候, 共栅管比共源管有更大的漏栅摆幅, 所以共栅管比共源管更加容易击穿. 在共源共栅管结构当中, 一般共源管

采用标准管(即薄栅管),共栅管采用厚栅管,但是厚栅管的特征频率要小于标准管,况且厚栅管在射频的时候有更低的增益.这样,由厚栅管和标准管构成的共源共栅输出级限制了功放在高频时的性能.为了减小 M_2 的漏栅电压,防止 M_2 管被击穿,通过 R_3 来实现 M_2 的自偏置,并且没有额外的绑线 pad 存在, M_2 栅极和漏极的偏置电压是相同的,均为 V_{dd} . R_3 和 C_6 值的选择是非常重要的,应该使得 M_1 和 M_2 的漏栅电压相等, M_2 漏极的摆幅被 R_3 和 C_6 构成的低通网络所衰减,本设计当中 $R_3 C_6$ 的时间常数被设置在 220 MHz 以达到最优的性能.驱动级类似.

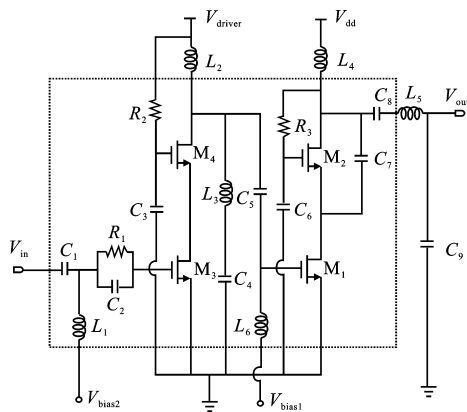


图5 Class-E 功放的整体电路

电容 C_7 的作用是在 M_1 漏极产生到地的负电容.假设 M_2 源到漏的增益为 A ,根据米勒效应,产生的 M_1 漏到地的等效电容为 $(1 - A) * C_7$,一般 A 大于 1,所以这是负值,和 M_1 的漏极寄生电容 C_p 相抵消, C_7 大小的选择需要用软件进行详细的仿真,以便达到最优的 PAE.

调节电容 C_6 的大小,可以改变 M_1 和 M_2 的漏源电压 V_{ds1} 和 V_{ds2} 摆幅的大小.从 M_2 的源看进去,输入阻抗为(在电路的工作频率远小于管子的特征频率,忽略沟道调制效应):

$$Z_{siM_2} = \left(1 + \frac{C_{gsM_2}}{C_6}\right) \cdot \left(\frac{1}{g_{M_2}} \parallel \frac{1}{sC_{gsM_2}}\right) \approx \left(1 + \frac{C_{gsM_2}}{C_6}\right) \cdot \frac{1}{g_{M_2}} \quad (11)$$

为了达到最优的性能, C_6 的选择应该使得 V_{ds1} 和 V_{ds2} 摆幅相等,即要求 M_1 漏极的摆幅是 M_2 漏极摆幅的一半.这种情况下, M_1 和 M_2 都没有击穿, PAE 最优.驱动级当中 C_3 的作用一样.

驱动级输出波形当中存在基频的各次谐波.理想情况下,用来驱动 Class-E 的波形应该为方波.根

据傅里叶级数展开,发现方波是由奇次谐波构成的.为了使输出级的波形接近方波,需要将 2 次谐波滤掉.电感 L_3 和 C_4 在 2 次谐波的时候谐振,电感 L_6 和 M_1 的栅电容 C_g 在基频的时候谐振,并且 L_6 给 M_1 提供偏置,这样,就滤除了驱动级输出波形当中的 2 次谐波,使得到达 M_1 栅极的电压更接近方波,使得 M_1 更好地与关,减小了电压和电流的交叠,提高效率.

M_3 和 M_4 构成驱动级,因为采用的是 Class-E 结构,可以使得 V_{driver} 较小的情况下,输出摆幅更大,能更好地驱动 M_1 ,使得 M_1 更好地导通与截止. C_5 是隔电容. C_1 和 L_1 构成的高通网络,一方面实现输入的匹配,另一方面也通过 L_1 提供偏置.电阻 R_1 用来提高电路的稳定性,电阻 R_1 上并联的电容 C_2 用来减小损耗.电源 V_{dd} 采用 2.8 V,电源 V_{driver} 采用 1.5 V,根据式(9), V_{dd} 大于 V_{driver} 可以提高效率. R_2 用来给 M_4 提供偏置.虚线部分是在芯片上实现的,其余的是在片外实现的.通过这些技术的综合使用,使功放的 PAE 更高,可靠性更好.电感 L_5 是两个串联的电感等效(L_{51} 和 L_{52}),一部 L_{51} 和 C_8 在基频谐振,抑制谐波,另一部分 L_{52} 和电容 C_9 构成匹配网络,实现阻抗的转换.在电路设计的时候,将绑线的寄生电感考虑在内,根据 HFSS 软件对绑线进行仿真,绑线的电感的大小在 0.8 nH 左右,接地的绑线和偏置的绑线尽可能打多一些,以减小绑线的寄生电感.

图 5 对应的芯片的版图如图 6 所示,芯片总共有 32 个 pad,主要为了减小绑线的寄生电感.该电路的输入匹配是在片内实现,而输出匹配则是在片外实现.

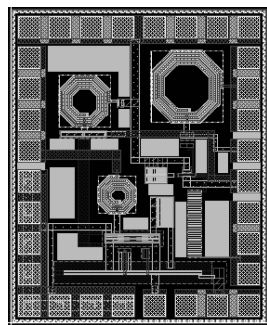


图6 Class-E 功放版图

对版图进行后仿真,仿真的输出功率和 PAE 的曲线如图 7 所示.

从图 7 可以看到,当输入功率大于 2.2 dBm 的时候,输出功率不在增加,已经达到饱和,为 23.44

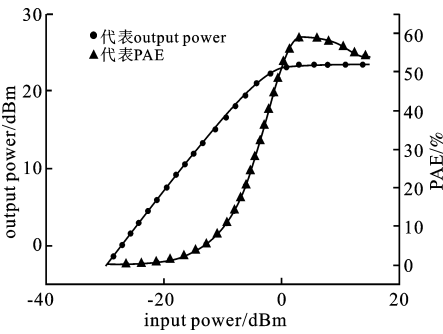


图 7 输出功率和 PAE 与输入功率的曲线

dBm. PAE 刚开始随着输入功率的增加而增加,随后随着输入功率的增加而减小,当输入功率为 4 dBm 的时候,此时 PAE 达到最大,为 58.99%,而此时的输出功率饱和,为 23.44 dBm.

本文提出的功放的功率增益曲线如图 8 所示.

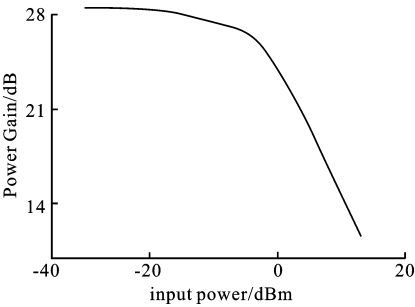


图 8 功放的功率增益曲线

从图 8 可知,在小信号功率增益可以达到 28.5 dB,在大信号时候,功率增益随着输入功率的增加而变小. PAE 为最大时,此时的功率增益为 20.5 dB. 通过对电路的仿真分析,本文所提出的 Class-E 功放,性能是不错的. 表 1 所示为本文提出的 Class-E 电路性能和近几年已发表的关于 Class-E 功放的性能指标的对比. 可以看出,本文所提出的 Class-E 功放结构有着非常好的 PAE.

表 1 与其他 Class-E 功放性能的比较

文献	工艺/ μm	频率/ GHz	电源电压/ V	输出功率/ dBm	PAE/ %
[5]	0.13	2.2	3.3	28.5	47.3
[6]	0.18	2.5	1.0	10.7	36.4
[7]	0.18	0.8	1.0	6.6	52.7
[8]	0.18	2.4	2.0	20	40
本文	0.18	2.4	2.8	23.44	58.99

5 结束语

本文基于 IBM SOI-0.18 μm 工艺,分析了影响

功放效率的因素,提出了一种高 PAE 的 Class-E 功率放大器. 仿真结果表明,在 2.4 GHz,电源电压为 2.8 V,输出的功率可以达到 23.44 dBm,PAE 高达 58.99%. 这种高效率的功放,对于像物联网的应用,有着非常高的吸引力.

参考文献:

[1] Yoo C, Huang Q. A common-gate switched 0.9-W class-E power amplifier with 41 % P AE in 0.25- μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2001, 36(5):823-8301.

[2] Sokal N O, Sokal A D. Class E-A new class of high-efficiency tuned single-ended switching power amplifiers [J]. IEEE Journal of Solid-State Circuits, 1975, 10 (3): 168 -176.

[3] Zulinski R E, Steadman J W. Class-E power amplifiers and frequency multipliers with finite dc feed inductance[J]. IEEE Trancation Circuits System, 1987, CAS-34(9): 1074-1087.

[4] Mazzanti A, Larcher L, Brama R, et al. Analysis of reliability and power efficiency in cascode class-E PAs [J] IEEE Journal of Solid-State Circuits, 2006, 41 (5):1222 -1229.

[5] Santana D B, Klimach H, Fabris E, et al. CMOS RF class-E power amplifier with power control[C]//2016 IEEE 7th LASCAS. Bariloche;IEEE, 2016; 371-374.

[6] Xu X, Sun Z, Xu K Y, et al. A 2.5-GHz band low-voltage class-E power amplifier IC for short-range wireless communication in 180-nm CMOS[C]// 2014 IEEE International Symposium on Radio-Frequency Integration Technology. Hefei;IEEE, 2014;1-3.

[7] Cai J Y , Li Z Q. A 1-V, 800-MHz CMOS class-E power amplifier with power control for wireless sensor network[C]//IEEE WCSP 2013. Hangzhou; IEEE, 2013;1-4.

[8] Manikandan P, Mathew R. Design of CMOS class-E power amplifier for WLAN and Bluetooth applications [C]//IEEE ICDCS 2012. Macau;IEEE, 2012;81-88.

作者简介:

郑 岩 男,(1991-),硕士研究生. 研究方向为模拟射频集成电路设计.

李志强(通讯作者) 男,(1982-),副研究员. 研究方向为射频/微波/毫米波集成电路设计.

E-mail:lizhiqiang@ime. ac. cn.

刘 昱 男,(1975-),研究员. 研究方向为高性能模拟/射频 CMOS 集成电路、硅基毫米波集成电路.